

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-097184

(43)Date of publication of application : 08.04.1997

(51)Int.Cl.

G06F 9/46

G06F 9/46

G06F 15/16

(21)Application number : 08-193253

(71)Applicant : INTERNATL BUSINESS MACH
CORP <IBM>

(22)Date of filing : 23.07.1996

(72)Inventor : JOHN M KAISER
WARREN E MAULE
ARIMILLI RAVI K

(30)Priority

Priority number : 95 536826

Priority date : 29.09.1995

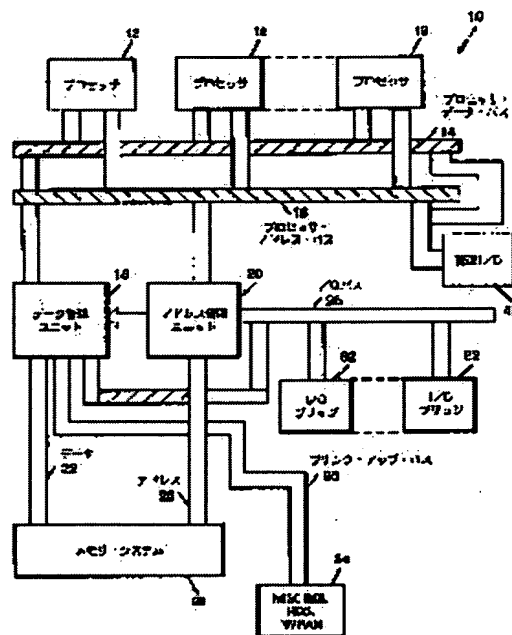
Priority country : US

(54) INFORMATION PROCESSING SYSTEM INCLUDING EFFICIENT INTERRUPTION PROCESSING

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a sufficient interruption processing.

SOLUTION: This information processing system includes one or more processing units, a data management unit 18 connected to a processor data bus 14, a memory system 24 and an I/O bus 26, and an address management unit 20 connected to a processor address bus 16, the memory system 24 and the I/O bus 26. The data management unit 18 includes an interruption route designation logic and it snoops an interruption packet, stores information in a register and generates a signal showing whether specified interruption is received or rejected. When interruption logic has the interruption holding of high priority, the present interruption packet is returned to a requesting device by using an interruption return transaction. The requesting device receives the return transaction by decoding a bus unit ID field in the packet. Interruption is queue-waited again and interruption reissuing transaction is transmitted by interruption route designation logic. Then, it is held in a holding state until it is received by an I/O controller requesting interruption.



LEGAL STATUS

[Date of request for examination]

08.12.1998

[Date of sending the examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-97184

(43) 公開日 平成9年(1997)4月8日

(51) Int.Cl. ⁹	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 9/46	3 1 1		G 0 6 F 9/46	3 1 1 F
	3 2 2			3 2 2 B
15/16	3 6 0		15/16	3 6 0 R

審査請求 未請求 請求項の数6 O L (全 19 頁)

(21) 出願番号 特願平8-193253

(22) 出願日 平成8年(1996)7月23日

(31) 優先権主張番号 5 3 6 8 2 6

(32) 優先日 1995年9月29日

(33) 優先権主張国 米国 (US)

(71) 出願人 390009531

インターナショナル・ビジネス・マシーンズ・コーポレーション

INTERNATIONAL BUSINESS MACHINES CORPORATION

アメリカ合衆国10504、ニューヨーク州アーモンク (番地なし)

(72) 発明者 ジョン・エム・カイザー

アメリカ合衆国78613、テキサス州シダー・パーク、カプリン・マウント 204

(74) 代理人 弁理士 合田 潔 (外2名)

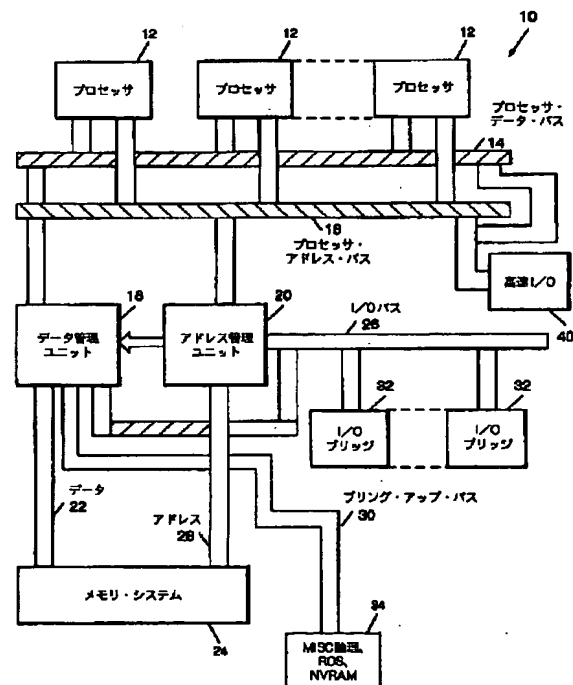
最終頁に続く

(54) 【発明の名称】 効率的な割込み処理を含む情報処理システム

(57) 【要約】

【課題】 効率的な割込み処理を可能にする。

【解決手段】 情報処理システムが、1つ以上の処理ユニットと、プロセッサ・データ・バス、メモリ・システム、及びI/Oバスに接続されるデータ管理ユニットと、プロセッサ・アドレス・バス、メモリ・システム、及びI/Oバスに接続されるアドレス管理ユニットとを含む。データ管理ユニットは割込み経路指定論理を含み、これは割込みパケットをスヌープし、情報をレジスタに記憶し、特定の割込みが受諾または拒否されたかを示す信号を生成する。割込み論理が高い優先順位の割込み保留を有する場合、現割込みパケットが割込み返却ランザクションを用いて要求装置に返却され、要求装置はパケット内のバス・ユニットIDフィールドを復号化することにより、返却ランザクションを受諾する。割込みは再度キュー待機され、割込み経路指定論理により割込み再発行ランザクションが送信され、割込み要求I/O制御装置により受信されるまで保留状態に保持される。



1

2

【 特許請求の範囲】

【 請求項1 】 データ入出力及びアドレス入出力を有する少なくとも1つのプロセッサと、

前記各プロセッサの前記データ入出力に接続されるプロセッサ・データ・バスと、

前記各プロセッサの前記アドレス入出力に接続されるプロセッサ・アドレス・バスと、

前記プロセッサ・データ・バスに接続され、該プロセッサ・データ・バス及び前記プロセッサ・アドレス・バスとの間の情報フローを制御するバス分離ユニットと、

データ入出力及びアドレス入出力を有するメモリ・システムと、

前記バス分離ユニットに接続されるデータ・ライン及びアドレス・ラインを有する入出力バスと、

前記入出力バス及び少なくとも1つの入出力装置に接続される少なくとも1つの入出力制御装置と、

を含む、情報処理システムであって、前記バス分離ユニットが割込み経路指定論理を含み、該割込み経路指定論理が、

複数の割込み保留が存在するか否かを判断し、存在する場合、任意の前記保留割込みが現割込みよりも高い優先順位を有するか否かを判断する手段と、

前記現割込みパケットを要求装置に返却する手段と、割込み再発行トランザクションが送信されるまで、前記現割込みを保留状態にて再度キュー待機する手段と、

を含む、情報処理システム。

【 請求項2 】 割込みパケットをスヌープする手段と、特定の割込みが受諾または拒否されたかを示す信号を生成する手段と、

を含む、請求項1記載の情報処理システム。

【 請求項3 】 前記再度キュー待機する手段が、前記現割込みパケット内のユニットIDフィールドを復号化する手段を含む、請求項1記載の情報処理システム。

【 請求項4 】 割込み再発行信号に応答して、割込みパケットを前記割込み経路指定論理に再送する手段を含む、請求項1記載の情報処理システム。

【 請求項5 】 割込み再発行信号を、前記入出力バスまたは前記アドレス・バスに接続される全ての入出力装置に送信する手段を含む、請求項1記載の情報処理システム。

【 請求項6 】 割込み再発行信号を同報する時期を決定する手段を含む、請求項1記載の情報処理システム。

【 発明の詳細な説明】

【 0001 】

【 発明の属する技術分野】 本発明は情報処理システムに関し、特に、割込み源と割込みプロセッサ間で効率的に割込みを知らせる手段を含む情報処理システムに関する。

【 0002 】

【 従来の技術】 データ処理システムにおいて、割込み

は、所与の割込み源において割込み条件が存在することをプロセッサに知らせるために使用される。この割込み源は、例えば特定タイプのサービスを要求するシステム・バス上のアダプタ・カードであったりする。要求サービスは、データの転送を開始したり、最近変化したステータス・レジスタを讀出したりする。

【 0003 】 プロセッサが割込みを受諾するように条件付けされている、すなわち、割込みを許可されていると、プロセッサは割込みの受信に際して割込み処理を開始する。この割込み処理は通常、プロセッサが割込み源に問い合わせるステップと、割込みのタイプにもとづき機能を実行するステップと、割込みをリセット／ターン・オフするステップとを含む。

【 0004 】 また通常のシステムでは割込み優先順位が設けられる。複数の割込み信号が所与の時刻にアクティブになると、割込み優先順位を使用することにより、プロセッサは最初にサービスされるべき割込みがわかる。

【 0005 】 割込み制御装置は、例えば割込み信号のリセットなどの、要求される特定の割込みハンドシェーク機能をオフロードするように設計される。典型的なこうした割込み制御装置は、インテル8259制御装置であり、Intel Component Data Catalog, 1981(インテル社から入手可能。Literature Department, 3065 Bowers Avenue, Santa Clara, CA)に記載されている。これらの割込み制御装置は複数割込み源をモニタし、単一の割込み信号線を用いてプロセッサに割込みを発生する。

【 0006 】 今日の割込み通知方法は主に、数少ない割込み源または優先レベルを有するユニプロセッサ・システム用に設計されている。ほとんどのシステムは、プレーナ上に配線される1本以上の割込み信号線を介して、割込みを送信する。割込みをサービスできる複数のプロセッサが存在するマルチプロセッサ環境では、これらのタイプの割込み通知技術は、バスの複雑性を増すことになる。各割込み源からの割込み信号は、各プロセッサに、またはこうした割込みをサービスできる割込み制御装置に配線されなければならない。

【 0007 】 多重処理データ処理システムのニーズを満足する試みは、システム内の各プロセッサに対して専用の割込み制御装置を要求した。このアプローチは高価だけでなく、複数の割込み源から生成される割込みの集中的な管理を可能にせず、これらの割込みはそのサービスのために、複数のプロセッサに経路指定されなければならない。

【 0008 】 従って、拡張可能で、多くの割込み源及び優先レベルを可能にする方法が必要とされる。更に、複数プロセッサ及び複数割込み制御装置を操作する多重処理システムにおいて有用な、割込み情報を通知する方法が必要とされる。

【 0009 】 今日の割込みシステムはハードウェア特有であり、可変量のソフトウェア依存性を有する。割込み

10

20

30

40

50

3

要求の数またはタイプの変更は、特定のオペレーティング・システム・ソフトウェアの変更を要求する。基礎となるハードウェア割込み構造からのソフトウェア独立性を提供する割込みサブシステムが必要とされる。

【 0 0 1 0 】 上述の多くの問題を解決する従来システムの例が、米国特許出願番号第 1 2 4 1 8 2 号で述べられている。

【 0 0 1 1 】 しかしながら、従来システムは本発明により指摘され解決される問題を解決しない。本発明では、割込みが I / O 装置から割込みパケットにより知らさせる。割込みパケットは割込み処理論理または割込み経路指定論理に送信され、優先順位に従い、経路指定論理により受諾または拒否される。拒否された割込みは I / O 制御論理にキュー待機され、割込み再発行信号により合図されると、再送される。

【 0 0 1 2 】

【 発明が解決しようとする課題】 従って、本発明の目的は、割込み経路指定論理により、情報処理システム内のプロセッサに割込みを効率的に知らせることであり、割込み経路指定論理は割込みパケットをスヌープして、最も高い優先順位の割込みが受諾されるように選択し、低い優先順位の割込みを返却し、これらの割込みは、割込み再発行信号が全ての割込み要求ユニットに送信されるまで、要求ユニットにより保持される。

【 0 0 1 3 】

【 課題を解決するための手段】 従って、情報処理システムは 1 つ以上の処理ユニットと、プロセッサ・データ・バス、メモリ・システム、及び I / O バスに接続されるデータ管理ユニットと、プロセッサ・アドレス・バス、メモリ・システム、及び I / O バスに接続されるアドレス管理ユニットとを含む。データ管理ユニットは割込み経路指定論理を含み、これは割込みパケットをスヌープし、その情報をレジスタに記憶し、特定の割込みが受諾または拒否されたかを示す信号を生成する。割込み論理が高い優先順位の割込み保留を有する場合、現割込みパケットが割込み返却トランザクションを用いて要求装置に返却され、要求装置はパケット内のバス・ユニット ID フィールドを復号化することにより、返却トランザクションを受諾する。割込みは再度キュー待機され、割込み再送トランザクションが送信されるまで、保留状態に保持される。割込み再送トランザクションは、割込み優先順位の高位から低位への変化に際して、全ての可能な割込み源に同報され、これは通常、プロセッサが最も高い優先順位の割込み処理を割込み終了 (E O I) にて終了するとき、実行される。

【 0 0 1 4 】 本発明の利点は、異なる優先順位を有する割込みが、複数プロセッサを有する情報処理システム内の割込み経路指定論理により効率的に処理されることである。

【 0 0 1 5 】 本発明は更に、入出力制御論理が所定経過

4

時間後に拒否された割込みを再送する従来システムに比較して、待ち時間に関する利点を有し、また拒否された割込みを即時再送するシステムに比較しても、効率的な利点を有する。

【 0 0 1 6 】

【 発明の実施の形態】 図 1 を参照して、本発明を実現する情報処理システムについて述べることにする。

【 0 0 1 7 】 情報処理システム 1 0 は 1 つ以上の処理ユニット 1 2 を含み、各処理ユニットはプロセッサ・データ・バス 1 4 に接続されるデータ出力、及びプロセッサ・アドレス・バス 1 6 に接続されるアドレス出力を有する。データ管理ユニット (D M U) 1 8 がプロセッサ・データ・バス 1 4 に接続され、アドレス管理ユニット (A M U) 2 0 がプロセッサ・アドレス・バス 1 6 に接続される。高速 I / O 装置制御装置 4 0 も、プロセッサ・データ・バス 1 4 及びプロセッサ・アドレス・バス 1 6 に接続され得る。データ管理ユニット 1 8 は、メモリ・データ・バス 2 2 によりメモリ・システム 2 4 に接続され、I / O バス 2 6 により I / O ブリッジ 3 2 に接続される。アドレス管理ユニット 2 0 は、メモリ・システム 2 4 のアドレス・ライン 2 8、I / O バス 2 6、及びブリッジ・アップ・バス 3 0 に接続される。I / O バス 2 6 は、データ管理ユニット 1 8、アドレス管理ユニット 2 0、及び I / O 制御装置 3 2 の間を接続する。ブリッジ・アップ・バス 3 0 は、データ管理ユニット 1 8 をブリッジ・アップ・ルーチン記憶装置 3 4 に接続し、後者は読出し専用記憶装置 (R O S) または不揮発性 R A M (N V R A M) として実現され得る。

【 0 0 1 8 】 前記の各ユニットは既知であるので、ここではデータ管理ユニット 1 8 及びアドレス管理ユニット 2 0 を除き、詳細には述べないことにする。

【 0 0 1 9 】 次に図 2 乃至図 4 を参照しながら、データ管理ユニット 1 8 について説明する。

【 0 0 2 0 】 データ管理ユニット 1 8 は、プロセッサ・データ・バス 1 4、メモリ・データ・バス 2 2、I / O データ・バス 2 6 などの多数のバスからの入力、及びアドレス管理ユニット 2 0 により生成される多数の制御信号に応答する。

【 0 0 2 1 】 データ管理ユニット 1 8 への全ての入力信号が、入力ラッチに次のようにラッチされる。

【 0 0 2 2 】 プロセッサ・データ・バス信号は入力ラッチ 2 0 2 にラッチされ、I / O データ信号は入力ラッチ 2 0 4 にラッチされ、メモリ・データ信号は入力ラッチ 2 0 6 にラッチされ、ブリッジ・アップ・バス 3 0 からの信号は、入力ラッチ 2 0 8 にラッチされる。

【 0 0 2 3 】 アドレス管理ユニット 2 0 からの制御信号は、次のようにラッチされる。

【 0 0 2 4 】 内部レジスタ制御は入力ラッチ 2 1 0 に記憶され、プロセッサ・バス制御は入力ラッチ 2 1 2 に記憶され、メモリ制御は入力ラッチ 2 1 4 に記憶され、グ

10

20

30

40

50

5

グラフィックス制御は入力ラッチ216に記憶される。制御ラッチ210、212、214及び216の出力は、データ制御論理218に入力される。データ制御論理218は、データ管理ユニット18を通過するデータをゲートする制御信号を提供する。更に、データ制御論理218は出力ラッチ250への出力を提供し、これは、グラフィックス・コマンド・バスを介して、AMU20内のラッチ308(図7参照)に伝送されるグラフィックス・コマンドを表す。

【0025】プロセッサ・データ・バス・ラッチ202の出力は、プロセッサ・データ・バス・バッファ222及び内部レジスタ220の入力に接続される。プロセッサ・データ・バス・バッファ222の出力は、出力ラッチ242、並びにマルチプレクサ234及び236に接続される。データはデータ制御論理218の制御の下で、プロセッサ・データ・バス・バッファ222からゲート出力される。内部レジスタ220は、マルチプレクサ238の入力に接続される出力を有する。図示のように、内部レジスタ220の出力も、データ制御論理218により制御される。

【0026】I/Oデータ・ラッチ204の出力は、I/Oデータ・バッファ224、グラフィックス制御論理及びバッファ226に接続される。I/Oデータ・バッファ224の出力は、マルチプレクサ234及び238の入力として接続される。グラフィックス制御論理及びバッファ226の出力は、マルチプレクサ234及び236に接続される。メモリ・データ・バス入力ラッチ206は、エラー訂正コード(ECC)論理232に接続される出力を有し、ECC論理232の出力は、メモリ・データ・バッファ228及びグラフィックス制御論理及びバッファ226の入力に接続される。メモリ・データ・バッファ228の出力は、マルチプレクサ236及び238に接続される。

【0027】プリング・アップ・バス入力ラッチ208は、プリング・アップ・データ・バッファ230に接続される出力を有し、プリング・アップ・データ・バッファ230はマルチプレクサ238に接続される出力を有する。

【0028】前述したように、レジスタ及びバッファ220、222、224、226、228、230からのデータのゲートは、データ制御論理218により制御される。マルチプレクサ234及び236は各々3つの入力を入力を有し、マルチプレクサ238は4つの入力を入力を有し、これらの入力はデータ制御論理218により制御されて、それぞれのマルチプレクサ234、236及び238の出力には、レジスタまたはバッファ220、222、224、226、228、230の1つからの入力を表す出力が提供される。

【0029】より詳細には、マルチプレクサ234の出力は、メモリ・システム24(図1参照)に伝送される

6

データのエラー訂正コードを生成するECC生成論理240に接続される。ECC生成論理240の出力は、メモリ・データ・バス22に接続される出力ラッチ244に接続される。マルチプレクサ236の出力は、I/Oデータ・バス26に接続される出力を有する出力ラッチ246に接続される。

【0030】マルチプレクサ238は、プロセッサ・データ・バス14に接続される出力を有する出力ラッチ248に接続される。

【0031】ブロック260及び262に含まれる回路及び論理は、I/Oデータ・バス26のデータを制御及び受け渡し、プロセッサ・データ・バス14とは非同期に刻時される。I/Oバス26上のI/Oデータを、プロセッサ・バス14上のプロセッサ・クロックの速度に同期せず、算術演算的にも必ずしも関連しないクロック速度で駆動するために、別々のクロック(図示せず)が使用される。例えば、プロセッサ・バス・クロック速度が100MHzのときに、I/Oデータ・バス・クロック速度が32MHzであったりする。

【0032】データ管理ユニット18の使用により、プロセッサ・クロックをI/Oデータ・クロックから分離することにより、プロセッサとデータ管理ユニット間のトランザクションが、従来のように、低速で実行されるI/O要求により低速化されることなく、プロセッサ速度で実行され得る。

【0033】次に、図5乃至図7を参照しながら、本発明によるアドレス管理ユニットについて説明する。

【0034】アドレス管理ユニット20への次の入力が入力ラッチに次のようにラッチされる。

【0035】メモリ構成インタフェース信号が入力ラッチ302に接続され、プロセッサ・アドレス・バス16からのプロセッサ・アドレス・バス信号が入力ラッチ304にラッチされ、I/Oアドレス信号が入力ラッチ306にラッチされ、グラフィックス・コマンド・バス信号が入力ラッチ308にラッチされる。入力ラッチ302の出力は、メモリ実行キュー及び制御論理328に接続される。プロセッサ・アドレス・バス・ラッチ304からの出力は、コマンド及びアドレス復号論理310並びにI/Oディレクトリ制御論理311に接続される。コマンド及びアドレス復号論理310の出力は、内部レジスタ制御316、メモリ書込みキュー318、メモリ読出しキュー320、プロセッサからI/Oへのコマンド・キュー322、及び割込み制御324への入力として接続される。I/Oディレクトリ制御論理311の出力は、プロセッサからI/Oへのコマンド・キュー322に接続される。

【0036】I/Oアドレス入力ラッチ306は、コマンド及びアドレス復号論理312に接続される出力を有する。コマンド及びアドレス復号論理312の出力は、割込み制御論理324の入力、及びI/Oからプロセッ

7

サへのコマンド・キュー論理3 2 6 に接続される。グラフィックス・コマンド入力ラッチ3 0 8 は、コマンド及びアドレス復号論理3 1 4 に接続される出力を有し、コマンド及びアドレス復号論理3 1 4 は、出力ラッチ3 4 8 に接続される第1 の出力を有する。出力ラッチ3 4 8 は、データ管理ユニット1 8 へのグラフィックス制御のための出力信号を生成する。コマンド及びアドレス復号論理3 1 4 の第2 の出力は、プロセッサからI / Oへのコマンド・キュー論理3 2 2 及びI / Oからプロセッサへのコマンド・キュー論理3 2 6 に接続される。

【0037】プロセッサからI / Oへのコマンド・キュー論理3 2 2 及びI / Oからプロセッサへのコマンド・キュー論理3 2 6 は、各々、割込み制御論理3 2 4 からの出力である第3 の入力に接続される。

【0038】内部レジスタ制御論理3 1 6 の出力は出力ラッチ3 3 4 の入力に接続され、出力ラッチ3 3 4 が内部レジスタ制御信号をデータ管理ユニット1 8 に提供する。メモリ書込みキュー論理3 1 8 及びメモリ読出しキュー論理3 2 0 の出力は、メモリ実行キュー及び制御論理3 2 8 に接続される。また、メモリ構成インタフェースからの入力ラッチ3 0 2 からの出力も、メモリ実行キュー及び制御論理3 2 8 に接続される。メモリ実行キュー及び制御論理3 2 8 の第1 の出力は出力ラッチ3 3 6 に接続され、これがメモリ制御信号をデータ管理ユニット1 8 に提供する。メモリ実行キュー及び制御論理3 2 8 からの第2 の出力は出力ラッチ3 3 8 に接続され、これがメモリ・アドレス及び制御信号をメモリ2 4 (図1 参照) に提供する。プロセッサからI / Oへのコマンド・キュー論理3 2 2 の出力は、I / Oコマンド実行論理3 3 0 の入力に接続される。I / Oコマンド実行論理3 3 0 の第1 の出力はラッチ3 4 0 にラッチされ、I / Oアドレス・バス2 6 に伝送される。I / Oコマンド実行論理3 3 0 の第2 の出力はラッチ3 4 2 にラッチされ、データ管理ユニット1 8 に伝送されるI / O制御信号となる。I / Oからプロセッサへのコマンド・キュー論理3 2 6 の出力は、プロセッサ・コマンド実行論理3 3 2 に接続される。プロセッサ・コマンド実行論理3 3 2 は出力ラッチ3 4 4 に接続され、データ管理ユニット1 8 に伝送されるプロセッサ制御を表す第1 の出力セットと、プロセッサ・アドレス・バス1 6 に接続される出力を有する出力ラッチ3 4 6 にラッチされる第2 の出力セットとを有する。

【0039】図2 乃至図4 に関連して上述したように、I / Oバス2 6 は、プロセッサ・データ・バス1 4 及びプロセッサ・アドレス・バス1 6 と非同期に異なる周波数で動作し得る。図5 乃至図7 に示されるように、I / Oアドレス、コマンド及びデータに関連するブロック3 6 0 及び3 6 2 に含まれる論理は、図2 乃至図4 に関連して上述したプロセッサ・バス・クロックとは独立で非同期のI / Oクロックの制御の下で動作する。従って、

8

I / Oバス2 6 上のアドレス、データ、制御信号及び割込みは、データ管理ユニット1 8 及びアドレス管理ユニット2 0 の制御の下で、プロセッサ・データ・バス1 4 及びプロセッサ・アドレス・バス1 6 に直接接続されるプロセッサ1 2 の性能を最適化するように処理される。

【0040】割込み処理装置及び方法: 図8 を参照して、割込みパケット・フォーマットについて説明する。

【0041】例えば任意のI / O制御装置3 2 などの要求ユニットからの各割込みは、図8 に示されるようにフォーマットされなければならない。割込みパケット・フォーマット4 0 0 は、コマンド・タイプ・フィールド4 0 2 、バス・タグ情報フィールド4 0 4 、バス・ユニットID番号フィールド4 0 6 、割込み源番号フィールド4 0 8 、及び割込み優先番号フィールド4 1 0 を含む。コマンド・タイプ・フィールド4 0 2 は、次に示す4 つの異なるコマンドの1 つを含み得る。

コマンド・タイプ0 : 割込み提示パケット

コマンド・タイプ1 : 割込みE O I パケット

コマンド・タイプ2 : 割込み返却パケット

コマンド・タイプ3 : 割込み再発行パケット

【0042】全ての共通割込みトランザクションが、前記4 つの割込みコマンド・タイプに当てはまらなければならない。

【0043】図9 乃至図1 2 を参照して、本発明による割込み経路指定論理のオペレーションについて説明する。割込みは、I / Oバス2 6 上の任意のI / O制御装置3 2 に接続される任意のI / O装置により、またはプロセッサ・アドレス・バス1 6 に接続される高速I / O装置により生成され得る。説明の都合上、図9 乃至図1 2 は4 つのセクションに分解される。

【0044】図9 は、割込み経路指定論理3 2 4 (図6 参照) による同時(concurrent) 割込みパケットの処理を示すフローチャートである。

【0045】図1 0 は、プロセッサが割込みを終了し、低優先順位のキュー待機割込みを処理するために、割込みレベルを変更するプロセスを示す。

【0046】図1 1 は、I / Oブリッジによる、ある装置からの割込みの処理を示す。

【0047】図1 2 は、I / Oブリッジによる割込み経路指定論理からの割込み信号の処理を示す。

【0048】最初に図9 を参照して、割込み処理プロセス5 0 0 について説明する。割込み経路指定論理が割込みパケットを受信すると(5 0 2)、その優先順位がテストされ、新たな割込みが、現在処理されている直前の割込みよりも高い優先順位を有するか否かが判断される(5 0 4)。新たな割込みの方が高い優先順位を有する場合、直前の割込みが新たな割込みにより置換され(5 0 6)、直前の割込みが、割込み返却パケット(割込みパケット・フォーマット4 0 0 のコマンド・タイプ2 に相当) により、プロセッサ・アドレス・バス1 6 または

10

20

30

40

50

I / O アドレス・バス 26 に返却される。次に情報処理システムは割込むべきプロセッサを選択し（これは本発明の範囲を越える手段による）、割込みを選択されたプロセッサに知らせる（508）。

【0049】新たな割込みパケットが直前の割込みよりも低い優先順位を有する場合には、新たな割込みは、割込み返却パケット（割込みパケット・フォーマット 400 のコマンド・タイプ 2 に相当）により、アドレス・バスに返却される（510）。

【0050】次に図 10 を参照して、プロセッサが割込みの処理を終了し、割込み処理レベルを変更すると（512）、割込み終了通知信号が、割込み EOI パケット（割込みパケット・フォーマット 400 のコマンド・タイプ 1 に相当）により、アドレス・バスに送信される（514）。次に、割込みレベルの最後の変更以来、任意の割込みが返却されたか否かがテストされる（516）。割込みが返却された場合、全てのアドレス・バス上の I / O 装置に対して、割込み再発行パケット（割込みパケット・フォーマット 400 のコマンド・タイプ 3 に相当）を送信することにより、割込みを再度提示するように要求する（518）。割込みレベルの最後の変更以来、割込みが返却されなかった場合には、プロセスのこの部分が終了する。

【0051】次に図 11 を参照して、I / O ブリッジにより実行される、ある装置により開始される割込みの処理について説明する。ある装置が割込みを知らせると（520）、I / O ブリッジはその装置に対して割込み保留指示をラッチする（522）。I / O ブリッジは、プロセッサ・アドレス・バス 16 または I / O アドレス・バス 26 を介して割込み経路指定論理に、要求装置に対応する適切な優先順位と一緒に、割込みパケットを割込みパケット・フォーマット 400 のコマンド・タイプ 0 により送信する（524）。

【0052】次に図 12 を参照して、割込み経路指定論理からの割込み応答信号の処理について説明する。割込み経路指定論理は、割込みタイプ・パケットを、プロセッサ・アドレス・バス 16 または I / O アドレス・バス 26 のいずれかに接続される I / O ブリッジに送信する（532）。パケットがコマンド・タイプ 1 の EOI パケットか否かがテストされる（534）。EOI パケットの場合、識別装置の割込み保留標識がリセットされ（536）、プロセスは終了する。EOI パケットでない場合には、パケットがコマンド・タイプ 3 の割込み再発行パケットか否かがテストされる（538）。割込み再発行パケットの場合、割込みレベルの最後の変更以来、任意の割込みが返却されたか否かがテストされる（540）。返却された場合、最も高い優先順位の割込み保留がコマンド・タイプ 0 を有する割込みパケットを送信することにより再度提示され（542）、プロセスは終了する。割込みレベルの最後の変更以来、割込みが

返却されなかった場合、プロセスは終了する。割込み経路指定論理により発行されたパケットが割込み再発行パケットでない場合（538）、パケットがコマンド・タイプ 2 の割込み返却パケットか否かがテストされる（544）。割込み返却パケットの場合、保留の割込みが再発行パケットを待機していることを示すラッチがセットされ（546）、プロセスは終了する。パケットが割込み返却パケットでない場合には、プロセスは終了する。

【0053】次に図 13 を参照して、割込みミランザクションの例について説明する。図では、バス・ユニット制御装置または I / O ブリッジ 32 を表すために省略形 BUC が使用される。

【0054】中央割込み経路指定論理 602 への入出力は、一般に図の上から下に向かって時間順に示される。すなわち、BUC 1 割込みは BUC 2 割込みより以前に発生し、BUC 2 割込みは BUC 1 割込み返却より以前に発生する（以下同様）。

【0055】第 1 の優先レベル BUC 1 を有する割込みが、中央割込み経路指定論理 602 に提示される。割込み経路指定論理 602 は割込みを CPU X に渡す（12）。第 2 の割込みが BUC 2 により割込み経路指定論理 602 に提示される。BUC 2 割込みが BUC 1 により提示される割込みよりも高い優先レベルを有すると仮定すると、BUC 1 割込みがコマンド・タイプ 2 の割込み返却パケットと一緒に返却される。第 3 の割込みは BUC 3 により提示されるが、ここで BUC 3 割込みが CPU X により受諾される BUC 2 割込みよりも低い優先レベルを有すると仮定すると、BUC 3 割込みは返却される。

【0056】続いて BUC 2 割込みが処理され、CPU X は割込み終了（EOI）信号を生成する。割込み経路指定論理 602 はこの信号を受けて、コマンド・タイプ 1 の EOI パケットを、任意のアドレス・バスに接続される BUC に送信する。次に割込み再送信号が全ての BUC に同報され、あらゆる保留の割込みが再度割込み経路指定論理 602 に提示され得ることを示す。再度、BUC 1 及び BUC 3 からの割込みが割込み経路指定論理 602 に提示され、BUC 1 割込みが返却される。なぜなら、これは BUC 3 割込みよりも低い優先レベルを有するからである。プロセスは上述のように継続する。

【0057】アドレス・バス上の割込み要求の提示を制御することにより、これらのバス上での不要なトラフィックが排除され、バス性能が改良される。

【0058】以上、本発明の特定の態様について述べてきたが、当業者には本発明の趣旨及び範囲から逸脱すること無く、様々な変更が可能であることが理解されよう。

【0059】まとめとして、本発明の構成に関して以下の事項を開示する。

【0060】（1）データ入出力及びアドレス入出力を

有する少なくとも1つのプロセッサと、前記各プロセッサの前記データ入出力に接続されるプロセッサ・データ・バスと、前記各プロセッサの前記アドレス入出力に接続されるプロセッサ・アドレス・バスと、前記プロセッサ・データ・バスに接続され、該プロセッサ・データ・バス及び前記プロセッサ・アドレス・バスとの間の情報フローを制御するバス分離ユニットと、データ入出力及びアドレス入出力を有するメモリ・システムと、前記バス分離ユニットに接続されるデータ・ライン及びアドレス・ラインを有する入出力バスと、前記入出力バス及び少なくとも1つの入出力装置に接続される少なくとも1つの入出力制御装置と、を含む、情報処理システムであって、前記バス分離ユニットが割込み経路指定論理を含み、該割込み経路指定論理が、複数の割込み保留が存在するか否かを判断し、存在する場合、任意の前記保留割込みが現割込みよりも高い優先順位を有するか否かを判断する手段と、前記現割込み packets を要求装置に返却する手段と、割込み再発行トランザクションが送信されるまで、前記現割込みを保留状態にて再度キュー待機する手段と、を含む、情報処理システム。

(2) 割込み packets をスヌープする手段と、特定の割込みが受諾または拒否されたかを示す信号を生成する手段と、を含む、前記(1)記載の情報処理システム。

(3) 前記再度キュー待機する手段が、前記現割込み packets 内のユニット ID フィールドを復号化する手段を含む、前記(1)記載の情報処理システム。

(4) 割込み再発行信号に応答して、割込み packets を前記割込み経路指定論理に再送する手段を含む、前記(1)記載の情報処理システム。

(5) 割込み再発行信号を、前記入出力バスまたは前記アドレス・バスに接続される全ての入出力装置に送信する手段を含む、前記(1)記載の情報処理システム。

(6) 割込み再発行信号を同報する時期を決定する手段を含む、前記(1)記載の情報処理システム。

【 図面の簡単な説明】

【 図1 】 本発明を実現する情報処理システムのブロック図である。

【 図2 】 本発明によるデータ管理ユニットのブロック図である。

【 図3 】 本発明によるデータ管理ユニットのブロック図である。

【 図4 】 本発明によるデータ管理ユニットのブロック図である。

10 【 図5 】 本発明によるアドレス管理ユニットのブロック図である。

【 図6 】 本発明によるアドレス管理ユニットのブロック図である。

【 図7 】 本発明によるアドレス管理ユニットのブロック図である。

【 図8 】 本発明による割込み packets ・フォーマットを示す図である。

【 図9 】 本発明による割込み処理のフローチャートを示す図である。

20 【 図10 】 本発明による割込み処理のフローチャートを示す図である。

【 図11 】 本発明による割込み処理のフローチャートを示す図である。

【 図12 】 本発明による割込み処理のフローチャートを示す図である。

【 図13 】 本発明による割込みトランザクションの例を示す図である。

【 符号の説明】

10 情報処理システム

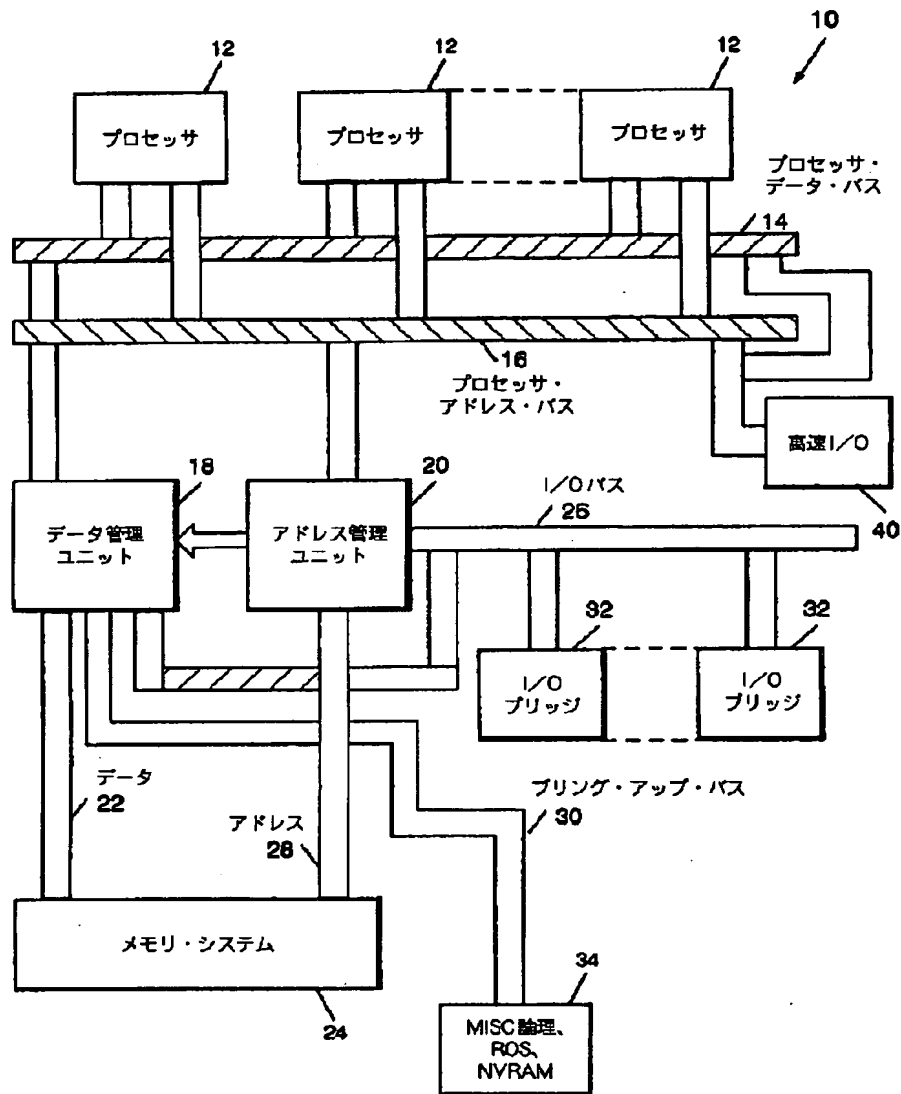
30 18 データ管理ユニット

20 アドレス管理ユニット

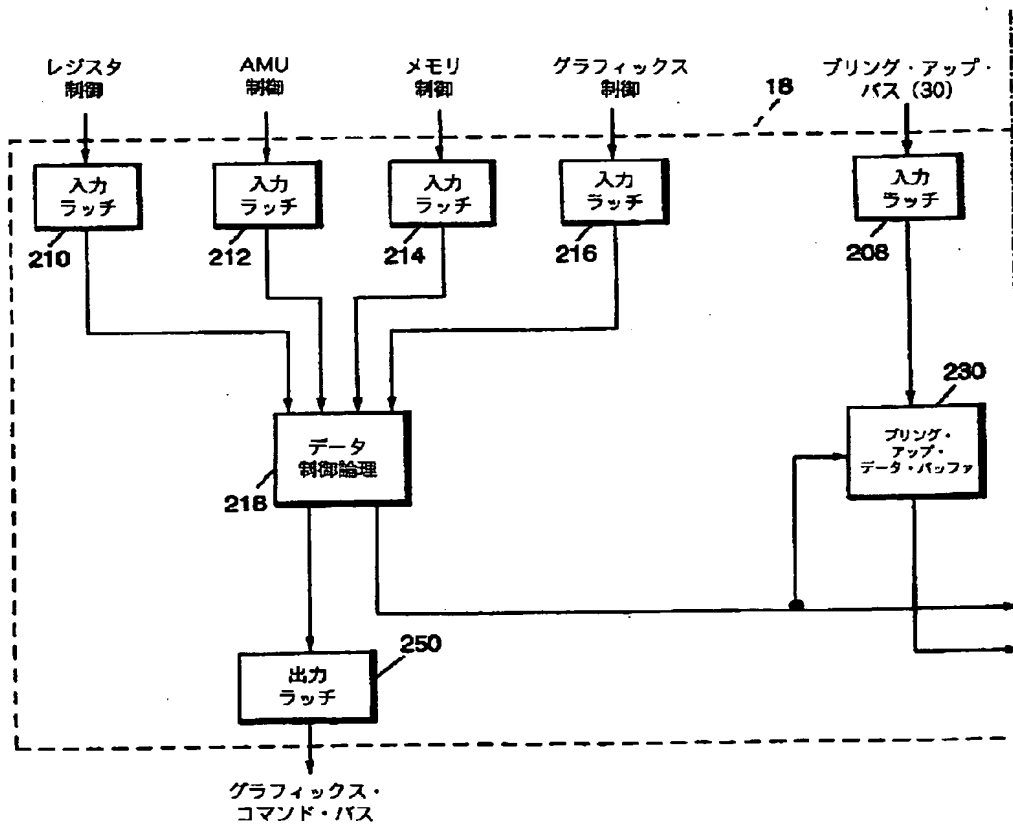
400 割込み packets ・フォーマット

500 割込み処理プロセス

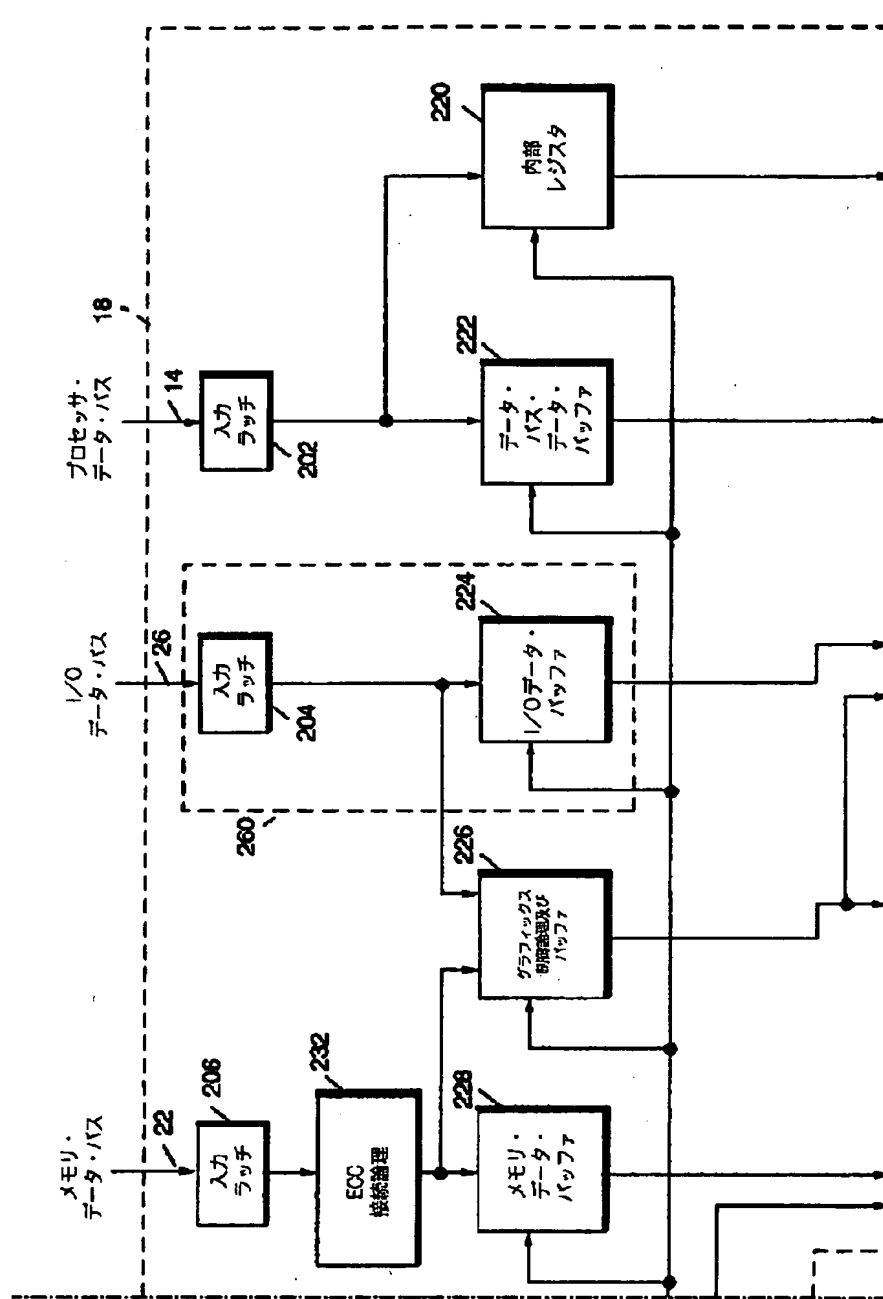
【 図1 】



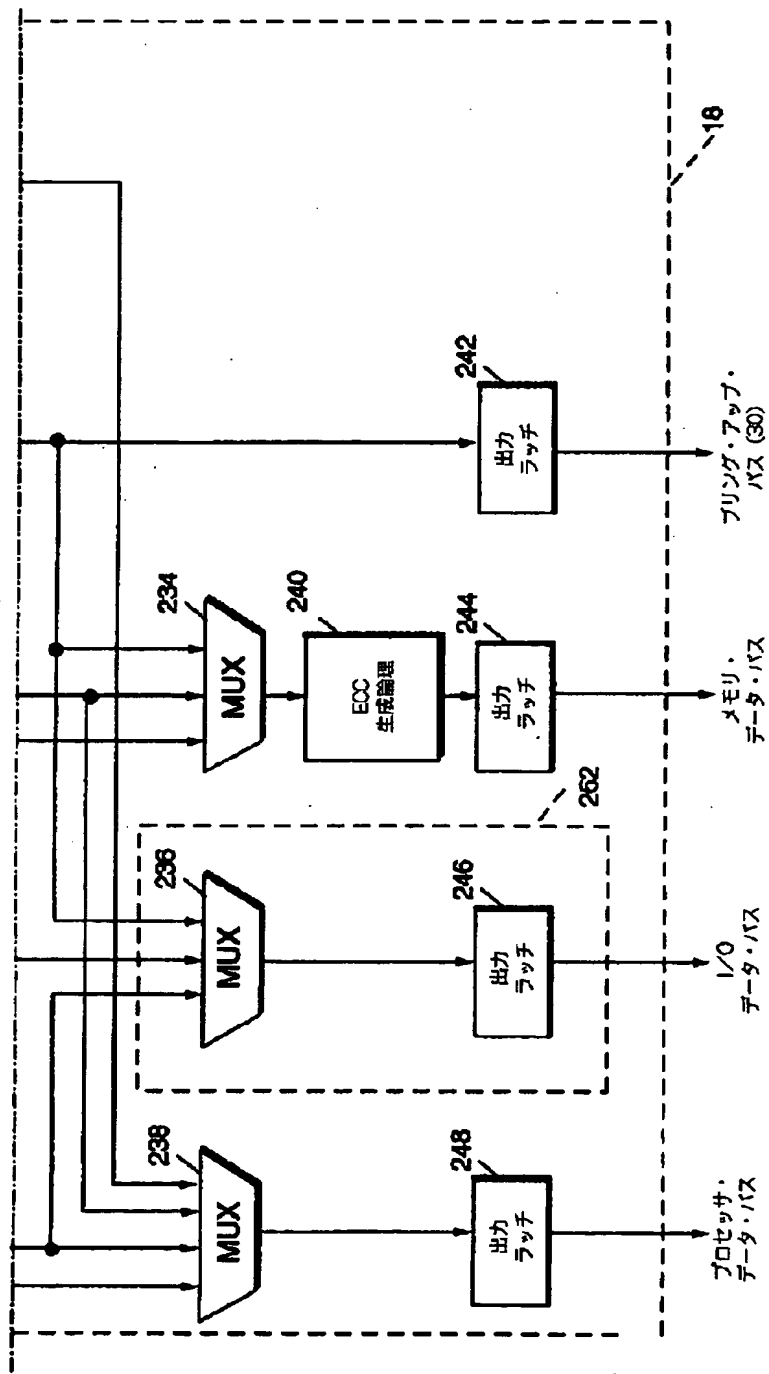
【 図2 】



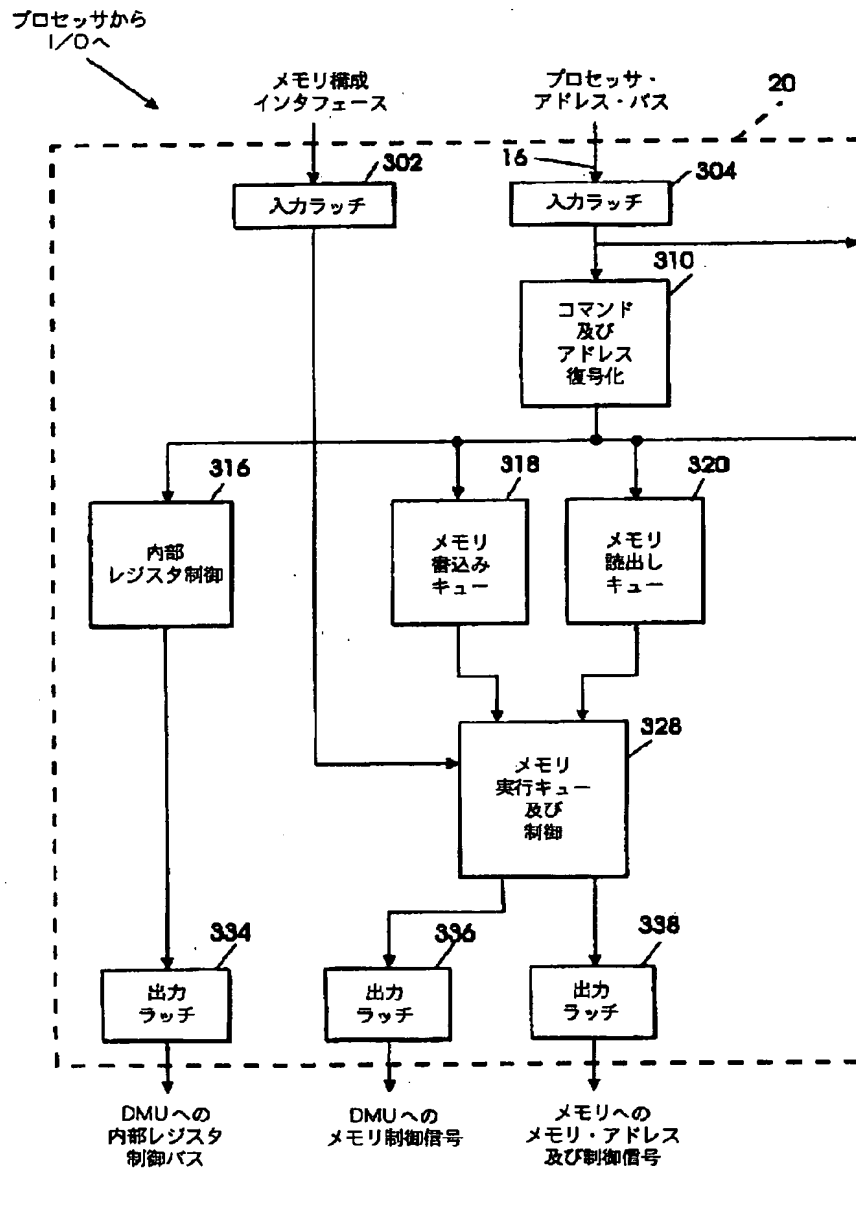
【 図3 】



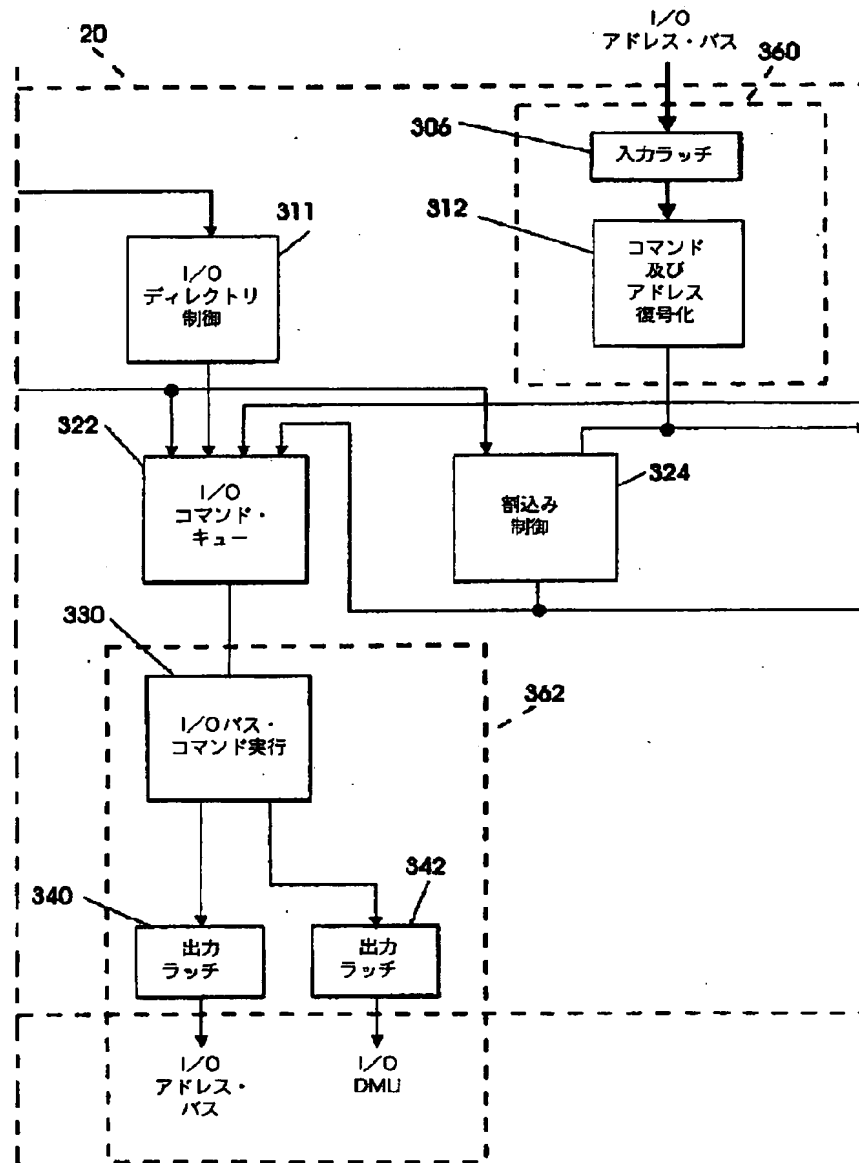
【 図4 】



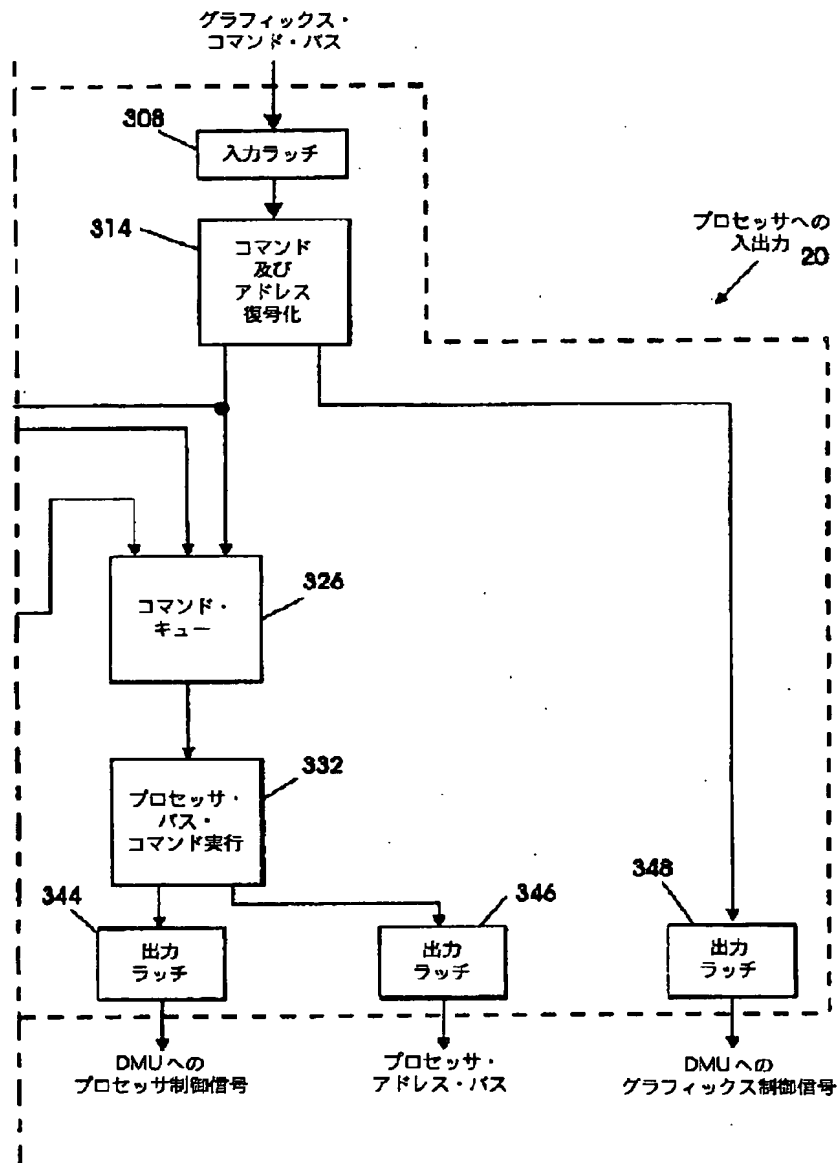
【 図5 】



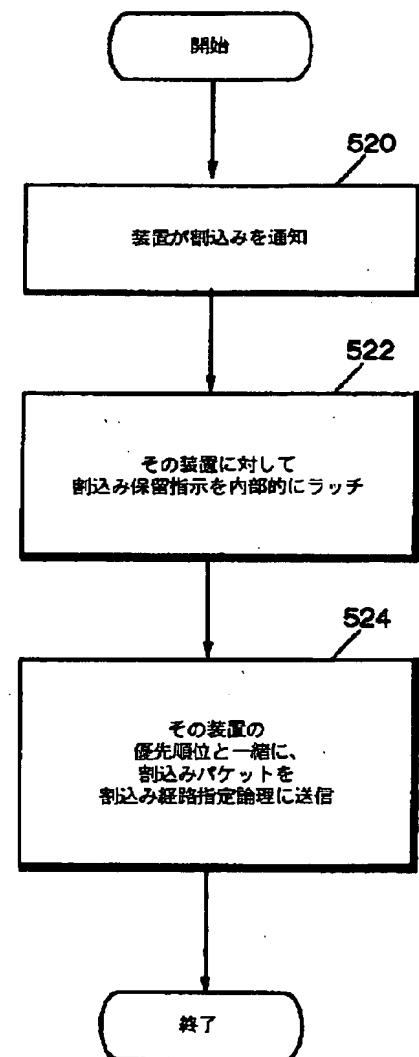
【 図6 】



【 図7 】

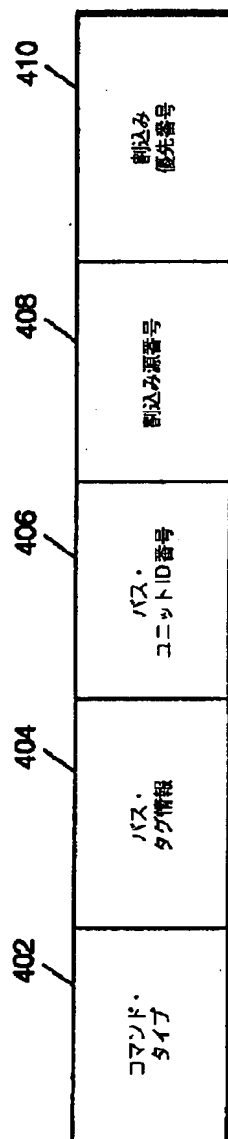


【 図11 】



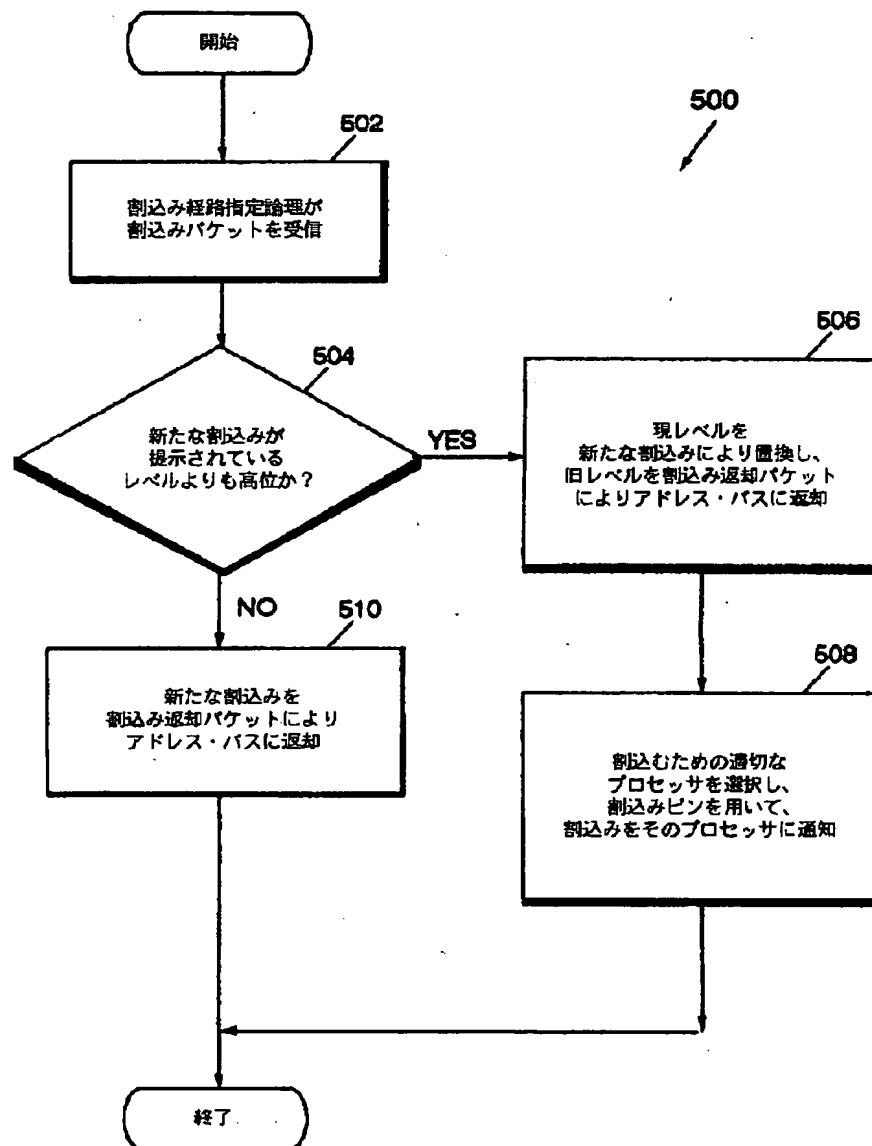
【 図8 】

400 ↗

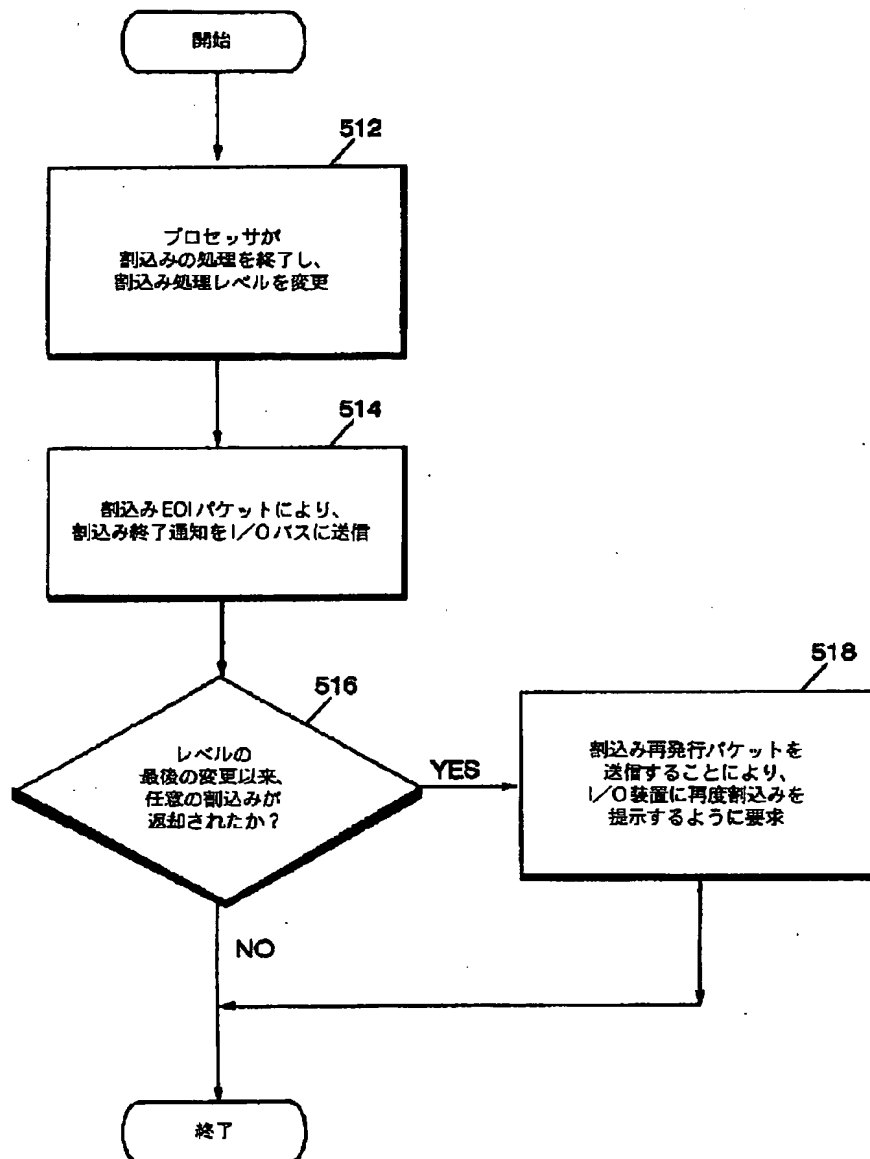


コマンド・タイプ
0 = 割込み提示パケット
1 = 割込みEOIパケット
2 = 割込み返却パケット
3 = 割込み再発行パケット

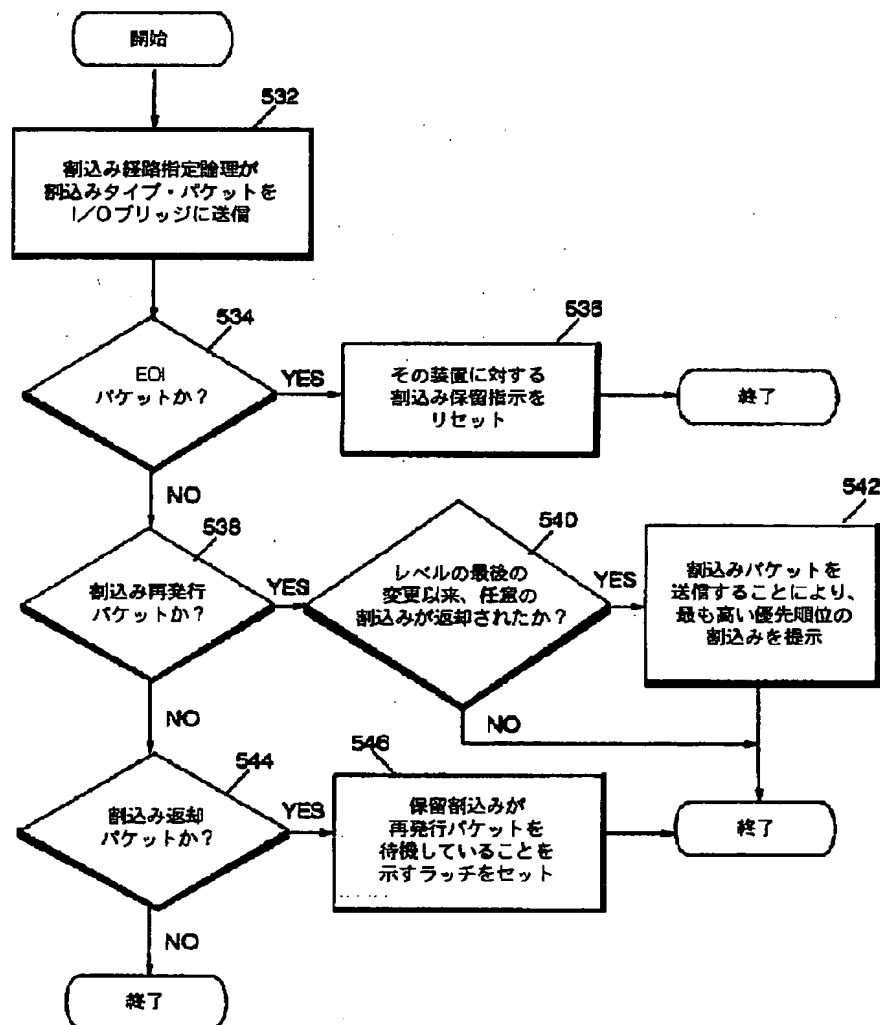
【 図9 】



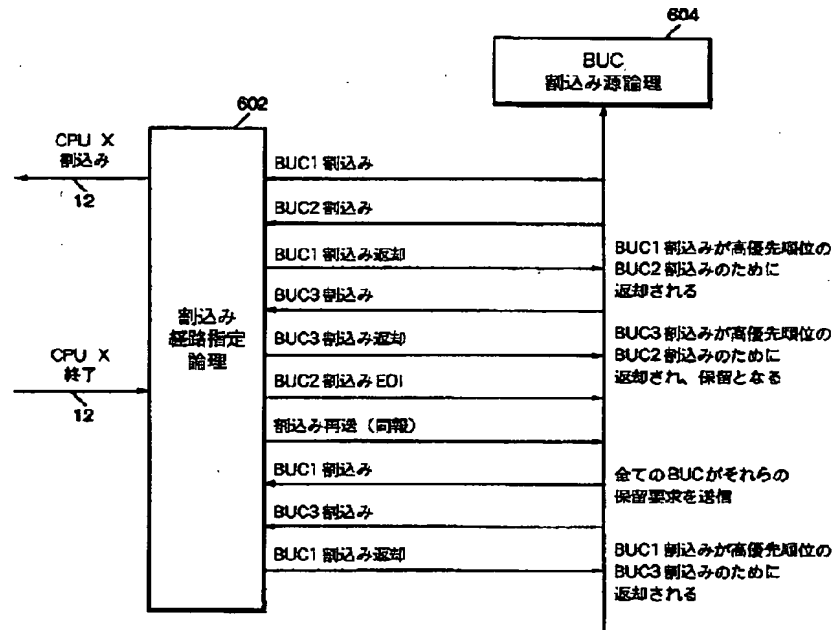
【 図10 】



【 図12 】



【 図13 】



フロント ページの続き

(72) 発明者 ウォーレン・イー・マウル
アメリカ合衆国78613、テキサス州シダ
ー・パーク、タク・ロード 12131

(72) 発明者 ラビ・ケイ・アリミ
アメリカ合衆国78664、テキサス州ラウン
ド・ロック、ミモザ・トレイル 2209